

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259083  
 (43)Date of publication of application : 08.10.1993

(51)Int.CI. H01L 21/205

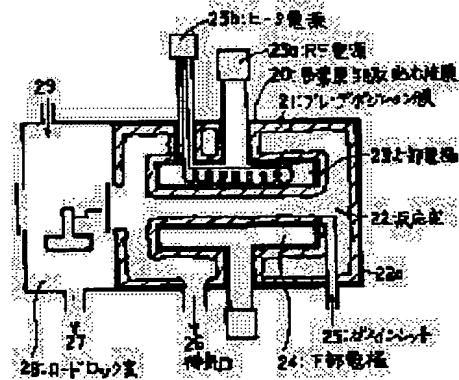
(21)Application number : 04-090275 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 16.03.1992 (72)Inventor : MASE KOICHI  
 YAHIRO KAZUYUKI

## (54) PLASMA CLEANING AFTER-TREATMENT OF CVD DEVICE

### (57)Abstract:

**PURPOSE:** To lessen residual fluorine left in a reaction chamber after cleaning by a method wherein the reaction chamber is cleaned with reaction gas which contains fluorine atoms through a plasma dry etching method, and then the inside of the reaction chamber is coated with a film which adsorbs fluorine atoms.

**CONSTITUTION:** A wafer deposition process is executed after a pre-deposition process. Then, the plasma cleaning of the inside of a reaction chamber is done with reaction gas C<sub>2</sub>F<sub>6</sub>/O<sub>2</sub> through a plasma dry etching method. The inside of the reaction chamber is coated with a plasma Si film 20 which adsorbs fluorine atoms by the use of reaction gas SiH<sub>4</sub> after cleaning, and thus a cycle of deposition/cleaning is finished. Thereafter, a P-SiO film 21 is pre-deposited, and then a wafer deposition process is repeated again. A P-SiO film formed on a wafer is sharply decreased in fluorine content.



### LEGAL STATUS

[Date of request for examination] 18.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3150408

[Date of registration] 19.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-259083

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/205

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平4-90275

(22)出願日 平成4年(1992)3月16日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 間瀬 康一

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

(72)発明者 八尋 和之

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

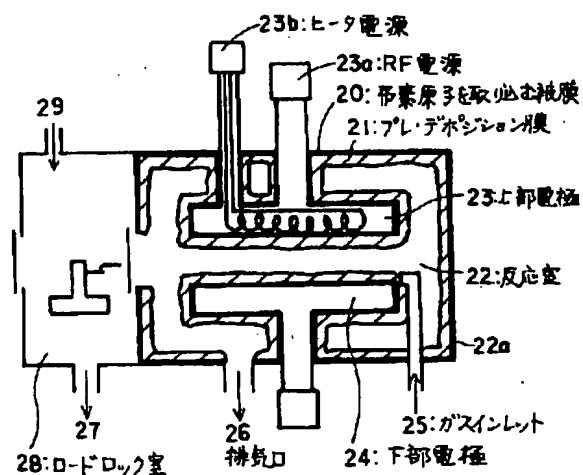
(74)代理人 弁理士 諸田 英二

(54)【発明の名称】 CVD装置のプラズマ・クリーニング後処理方法

(57)【要約】

【目的】C F<sub>x</sub>等弗素原子を有する反応ガスを用い、反応室内をプラズマ・ドライ・エッチングによりクリーニングするCVD装置では、該クリーニング後、反応室内に弗素原子が残存し、その後ウェーハ上に堆積されるCVD膜も弗素を含有するようになる。CVD膜が例えばプラズマ・SiO<sub>2</sub>膜で該膜上にA1配線が形成されると、A1配線の弗素腐食が発生する。このようなことのないCVD装置のプラズマ・クリーニング後処理方法を提供する。

【構成】前記プラズマ・クリーニング後の後工程として、弗素原子を取り込む被膜を反応室内に被覆する工程を新しく設ける。これにより反応室内に残存する弗素原子は、前記被膜に捕獲固定され、ウェーハ上のCVD膜の弗素含有量は大幅に低減され、A1配線の弗素腐食等はなくなる。



1

## 【特許請求の範囲】

【請求項1】半導体基板上にCVD膜を形成するCVD装置の反応室内を、弗素原子を有する反応ガスを用いてプラズマ・ドライ・エッチング法でクリーニングした後、弗素原子を取り込む被膜を該反応室内に被覆することを特徴としたプラズマ・クリーニング後処理方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体基板上にCVD膜を形成するCVD装置のクリーニング技術に関するもので、特に反応室をプラズマ・ドライ・エッチングによりプラズマ・クリーニングした後に行なう後処理方法に係るものである。

## 【0002】

【従来の技術】従来例として、コールド・ウォール (cold wall) 型プラズマCVD装置により、半導体基板上にプラズマ・シリコン酸化膜 (以下P-SiO膜と略記) を形成するデポジション (deposition, 堆積) / クリーニング (cleaning, 洗浄) ・サイクルについて、図面を参照し、簡単に説明する。図6は、従来のプレ・デポジション後の反応室内を示すプラズマCVD装置の断面図、図2 (b) は従来のデポジション/クリーニング・サイクルの流れ図である。

【0003】まずウェーハを反応室12に設置しない状態で、反応室12内に厚さ1.0 μmのP-SiO膜11を堆積し、反応室12の条件 (condition) を安定化させる (プレ・デポジションと略記)。この後、ロードロック室18を介して反応室内にウェーハ (図示なし) を設置し、所定の膜厚のP-SiO膜をデポジションする (ウェーハ・デポジションと略記)。引き続き、このウェーハ・デポジション工程を繰り返し、繰り返したウェーハ上のデポジション膜厚の総計が、例えば30 μm (この膜厚は、膜厚均一性や、ダストレベルから規定される) となったところでウェーハ・デポジション工程を終える。次にCF<sub>4</sub> / O<sub>2</sub> ガス系で、プラズマ・ドライ・エッチングを行ない、反応室内をクリーニングして、デポジション/クリーニング・サイクルを完結する。この後、再び1.0 μmのP-SiO膜のプレ・デポジションを行ない、上記サイクルを繰り返す。

【0004】一般に、プラズマCVD装置では、膜厚の均一性や、ダストレベルを考慮して、ウェーハ・デポジション工程でのデポジション膜厚の総計が、一定値以上となった時点で、CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>、CHF<sub>3</sub>、SF<sub>6</sub>、NF<sub>3</sub>など弗素原子を有するガスを主体に、O<sub>2</sub>やH<sub>2</sub>を混合した反応ガスを用いて、プラズマ・ドライ・エッチング法で反応室内をクリーニングする。次にウェーハ・デポジションを行なう前に、膜厚の均一性、膜質の安定化及び反応室材料 (例えばステンレススチール等) や電極材料 (例えばアルミニウム、カーボン等) からの汚染防止等を目的として、反応室にウェーハを設置

2

しないで、ウェーハ・デポジション膜と同質のプラズマCVD膜、例えばウェーハ・デポジション膜がP-SiO膜の場合にはP-SiOを、またP-SiN膜の場合にはP-SiNを、反応室内に厚さ1~2 μm程度、プレ・デポジションを行なっている。プレ・デポジション直後に、ウェーハに形成したP-SiO膜を二次イオン質量分析法 (Secondary Ion Mass Spectroscopy, SIMS) で分析したところ、プラズマ・ドライ・エッチング条件にもよるが、0.5~5.0 at% (アトムバーセント) 程度の弗素原子が検出された。この弗素原子含有P-SiO膜を50°Cの温水に10時間浸漬後、温水中に溶出した弗素量を原子吸光法で評価したところ、P-SiO膜中に含有される弗素量の7~13%が温水中に溶出していった。

【0005】すなわち反応室内を弗素原子を有する反応ガスを用いて、プラズマ・ドライ・エッチング法でクリーニングした後では、プレ・デポジションを行なっても、その直後のウェーハ上に形成されるP-SiO膜中には、弗素原子が含有されており、該P-SiO膜が、温度50°C程度の湿度の高い雰囲気中に置かれると、結露した水分中に弗素原子が溶出することが予想される。

【0006】以上の結果をふまえ、PCT (Pressure Cooker Test, 試験条件 127°C - 2.5kg/cm<sup>2</sup>) によるA1配線 (組成 1%Si, 0.5%Cu, 残A1) の弗素腐食 (Corrosion, コロージョン) 耐性を評価した。その結果PCT 98時間より1%の弗素腐食不良が発生した。なおPCTによる弗素腐食耐性評価の試料は、図5の断面図に示すように、半導体基板 (ウェーハ) 50を覆う弗素含有P-SiO膜51aを形成した後、その上に1.5%Siと0.5%Cuを含むA1配線52をバーニングし、さらに弗素含有P-SiO膜51bで該A1配線52を被覆したので、ウェーハ状態で試験した。また前記PCTでは、密閉された温度127°Cの水蒸気の雰囲気 (蒸気圧 2.5kg/cm<sup>2</sup>) 中に、前記試料を所定時間放置した後、A1配線の電気抵抗測定または顕微鏡による目視判定により、弗素腐食不良を評価する。

## 【0007】

【発明が解決しようとする課題】これまで述べたように、CVD装置を用いてウェーハ上にCVD膜を形成する場合、デポジション膜厚の総計が一定値以上になると、弗素原子を有する反応ガスを用い、プラズマ・ドライ・エッチング法により、反応室内のクリーニングを行なう。しかしクリーニング後に、反応室内に弗素原子が残存し、プレ・デポジション後のウェーハ・デポジション膜に弗素原子が存在する。例えばCVD膜をP-SiO膜とすると、P-SiO膜には弗素原子が含有され、この膜上に形成されるA1配線の弗素腐食不良を発生し、問題となっている。

【0008】本発明は、CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>、CHF<sub>3</sub>、SF<sub>6</sub>、NF<sub>3</sub>など弗素 (F) 原子を含む反応ガスを用

い、反応室内をプラズマ・ドライ・エッティングによりクリーニングするCVD装置において、該クリーニング後の反応室内に残存する弗素量を低減し、これにより、例えばウェーハ上のP-SiOやP-SiN等のCVD膜中に含有される弗素量を低減し、A1配線の弗素腐食の発生がなく、より信頼性の高いCVD膜が得られるプラズマ・クリーニング後処理方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明は、半導体基板上にCVD膜を形成するCVD装置の反応室内を、弗素原子を有する反応ガスを用いてプラズマ・ドライ・エッティング法でクリーニングした後、弗素原子を取り込む被膜を該反応室内に被覆することを特徴としたプラズマ・クリーニング後処理方法である。

【0010】なお上記プラズマ・ドライ・エッティング法は、反応ガスプラズマを利用し、気相中で、反応室内面等に付着するCVD膜をエッティングする方法である。

## 【0011】

【作用】本発明では、プラズマ・ドライ・エッティング法でクリーニングした後の後工程として、弗素原子を取り込む被膜を反応室内に被覆する工程を、新しく設けたことが特徴である。すなわち弗素原子を取り込む被膜は、物理的または化学的作用を弗素原子に及ぼし、該原子を捕獲、固着することのできる被膜であり、この被膜を反応室内（反応室内面のほか、電極面等を含む）に被覆する工程により、反応室内に残存する弗素原子は、該被膜に捕獲拘束されるので、ウェーハ上に形成されるCVD膜中の弗素含有量は大幅に低減される。これによりA1配線の弗素腐食不良等を防止した信頼性の高いCVD膜の形成が容易にできる。

## 【0012】

【実施例】本発明の実施例について、図面を参照して、以下説明する。

【0013】図1は、該実施例において、プレ・デポジション後の反応室内を示すプラズマCVD装置の断面図である。該装置は、ロードロック室28を有するコールドウォール型プラズマCVD装置である。ステンレススチール22aで囲まれた反応室22内には、ヒーター内蔵の上部電極（A1）23及び該電極に対向する下部電極（A1）24が設けられる。RF電源（周波数400kHz）23aからの高周波電力により電極間にプラズマが誘起される。反応ガスは、ガスインレット25より反応室22内に供給され、排気口26より排出される。符号23bは、ヒータ電源、符号27及び29は、ロードロック室28のそれぞれ排気口及びN<sub>2</sub>ガスを導入するペントライン（vent line）である。

【0014】符号20は、プラズマ・ドライ・エッティング後に形成したプラズマSi膜、符号21は、厚さ約1μmのプレ・デポジション膜（P-SiO膜）である。

【0015】次にこのCVD装置を用いて、ウェーハ上にP-SiO膜を形成するデポジション/クリーニング・サイクルについて図2(a)を参照して説明する。

【0016】プレ・デポジション工程後、ウェーハ・デポジション工程を行なう。ウェーハ上にデポジションした膜厚の総計が30μmとなるまで、この工程を続ける。条件は反応ガスに、SiH<sub>4</sub>/N<sub>2</sub>O系を用い、ガス流量はSiH<sub>4</sub>=150sccm、N<sub>2</sub>O=2200sccm、反応室の圧力0.40Torr、RFパワー2.3kW、温度300°Cである。

【0017】次にプラズマ・ドライ・エッティング法により反応室のプラズマ・クリーニングを行なった。条件は、反応ガスC<sub>2</sub>F<sub>6</sub>/O<sub>2</sub>、流量600/70sccm、圧力0.25Torr、RFパワー2.8kW、温度300°C、オーバーエッチ40%である。

【0018】プラズマ・クリーニング後、弗素原子を取り込む被膜としてプラズマSi膜20を反応ガスSiH<sub>4</sub>、流量200sccm、圧力0.35Torr、RFパワー1.3kW、温度300°Cの条件で、反応室内に厚さ0.1μm被覆し、デポジション/クリーニング・サイクルを完了する。

【0019】その後、再び1.0μmのP-SiO膜21のプレ・デポジションを行ない、さらにウェーハ・デポジションを繰り返す。

【0020】上記実施例で、ウェーハ上に形成されたP-SiO膜中の弗素含有量は0.02at%で、従来の2at%に比し大幅に低減されている。またこのP-SiO膜上にA1配線（1%Si-0.5%Cu-残A1）を形成し、PCT（127°C-2.5kg/cm<sup>2</sup>）で弗素腐食耐性評価をしたところ、PCT500時間では腐食は発生しなかった。

【0021】すなわち本実施例においては、弗素原子を含む反応ガスを使用し、プラズマ・ドライ・エッティングによるクリーニングをした後、後処理としてプラズマSi膜を反応室内に被覆する工程を新しく設けたことにより、反応室内に残存していた弗素原子は、プラズマSi膜に捕獲され拘束されると共に、プラズマSi膜形成時に、残存弗素原子の一部は、励起されたSiによりガス化され、反応室外に排出され、ウェーハ上のCVD膜（P-SiO膜）中の弗素含有量を大幅に低減することができた。

【0022】次にプラズマ・クリーニング後に形成するプラズマSi膜の膜厚と、ウェーハ上に堆積されるP-SiO膜中の弗素含有量との関係について調べた。

【0023】前記実施例と同様のデポジション/クリーニング・サイクルと処理条件で、弗素原子を取り込むプラズマSi膜の膜厚のみを変化させ、P-SiO膜を堆積した複数枚のウェーハを作成した。図3はその結果を示すもので、横軸は前記プラズマSi膜厚（μm）、縦軸はP-SiO膜中の弗素含有量（at%）である。同

図からわかるように、クリーニング後にプラズマSi膜を形成しない場合、すなわち従来の方法では、P-SiO膜中の弗素含有量が2.0 at%であったものが、プラズマSi膜 0.1μm 形成した場合で、0.02 at%、0.4μm 形成した場合で、0.01 at%以下となった。この際、特記すべきことは、プラズマSi膜の膜厚が、0.1μm 以下と薄い領域では、膜厚の増加に伴いP-SiO膜中の弗素含有量は急速に減少し、プラズマSi膜の膜厚が、0.1μm を越えると弗素含有量は漸減する。この原因については十分解明されていないが、弗素原子を取り込む効果に対し、臨界的な膜厚が存在する。

【0024】次にこのようにして形成されたP-SiO膜上にA1配線（組成 1%Si - 0.5%Cu - 残A1）を形成し、さらに該A1配線を、前記下地P-SiO膜と同じ条件で形成したP-SiO膜で被覆したサンプルを作製し、ウェーハ状態でのPCT（127°C - 2.5kg/cm<sup>2</sup>）で弗素腐食耐性評価を行なった。その結果を図4に示す。同図において、横軸はPCT時間(hr)、縦軸は弗素腐食不良率(%)である。同図中、○印は従来のP-SiO膜、△印、□印及び▽印は膜厚が0.1μm、0.4μm 及び0.8μm のプラズマSi膜を被覆する後工程を行なって形成したP-SiO膜を示す。同図より従来のP-SiO膜では、PCT時間の増加に伴い弗素腐食不良率も増加するのに対し、プラズマ・クリーニング後処理をして形成した本発明のP-SiO膜では、500時間経過後でも弗素腐食不良は発生しなかった。

【0025】図3及び図4に示す結果より、弗素原子を取り込む被膜がプラズマSi膜の場合には、その膜厚を0.1μm 以上にすることが望ましい。

【0026】本発明の対象となるCVD装置は、プラズマCVD装置以外の例えはLPCVD装置等であっても、CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>、SF<sub>6</sub>、NF<sub>3</sub>等少なくとも1つ以上の弗素原子を有するガスを主体に、プラズマ・ドライ・エッチングによるクリーニングを実施する装置であればよい。

【0027】また反応室内に残存する弗素原子を取り込む被膜として、本実施例ではプラズマSi膜としたが、これに限定されない。例えは炭素(C)被膜であっても、またA1等の金属被膜であってもよい。さらに形成されるSi膜はプラズマ法以外の、例えはシランガスの熱分解などの方法で形成されてもよい。

【0028】また本実施例ではCVD膜としてP-SiO膜を例示したが、P-SiO膜以外のSiN膜などの

絶縁膜、ポリシリコン膜、あるいはW等の金属膜であってもよい。

【0029】

【発明の効果】これまで詳述したように、弗素原子を有する反応ガスを用いて、CVD装置の反応室内をプラズマ・ドライ・エッチングによりクリーニングするCVD装置において、該クリーニング後、弗素原子を取り込む被膜を反応室内に形成する工程を、前記クリーニングの後処理工程として新設したことにより、反応室内に残存する弗素は該被膜に捕獲固定され、これによりウェーハ上のP-SiOやP-SiN等のCVD膜中に含有される弗素量を大幅に低減できた。すなわち本発明により、例えはA1配線の弗素腐食の発生がなく、より信頼性の高いCVD膜が得られるプラズマ・クリーニング後処理方法を提供することができた。

【図面の簡単な説明】

【図1】本発明のプレ・デポジション後の反応室内を示すプラズマCVD装置の断面図である。

【図2】同図(a)及び(b)はそれぞれ本発明及び従来例のデポジション/クリーニング・サイクルのフロー図である。

【図3】P-SiO膜中の弗素含有量と弗素原子を取り込むプラズマSi膜厚の関係を示す図である。

【図4】従来及び本発明の弗素腐食不良率とPCT時間との関係を示す図である。

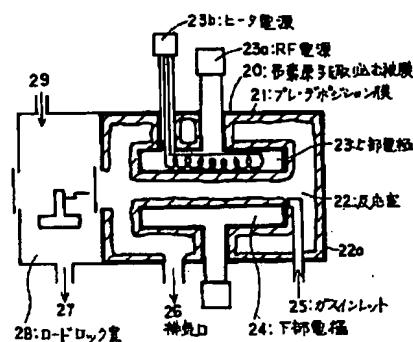
【図5】PCTによる弗素腐食耐性評価のサンプルの断面図である。

【図6】従来のプレ・デポジション後の反応室内を示すプラズマCVD装置の断面図である。

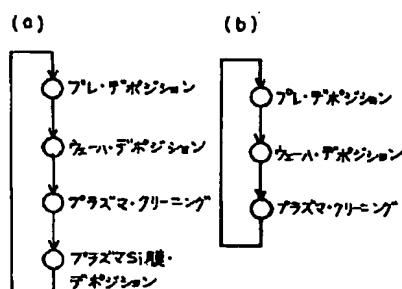
【符号の説明】

20	弗素原子を取り込む被膜
11, 21	プレ・デポジション膜
12, 22	反応室
13, 23	上部電極
13a, 23a	R F電源
13b, 23b	ヒータ電源
14, 24	下部電極
15, 25	ガス・インレット
16, 26	反応室排気口
17, 27	ロードロック室排気口
18, 28	ロードロック室
19, 29	ペントライン

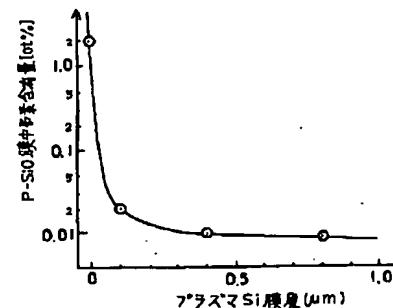
【図1】



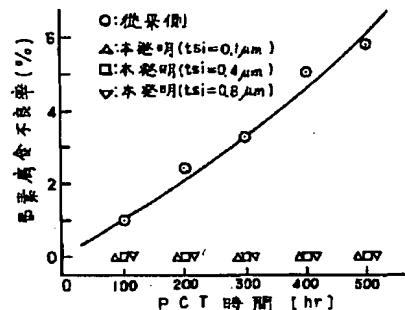
【図2】



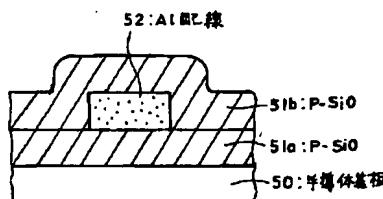
【図3】



【図4】



【図5】



【図6】

